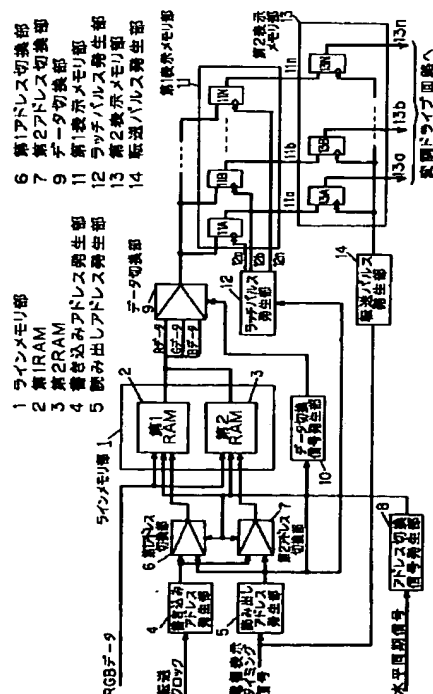


(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 RGB画像信号を1水平期間記憶する複数のシフトレジスタで構成された第1のラインメモリ部と、前記ラインメモリ部が1水平期間分の信号を記憶完了後、次の水平期間までに転送した前記1水平期間部分の信号を記憶する第1のラインメモリ部と同数のシフトレジスタで構成される第2のラインメモリ部とを備えた直列並列変換回路。

【請求項2】 映像データを1水平期間順次書き込み、書き込み完了後次の水平期間に読み出しを行う、1つのアドレスに1画素分のRGB信号を記憶する複数のランダムアクセスメモリにより構成され、1水平期間ごとに書き込み、読み出し動作を繰り返すラインメモリ部と、前記ラインメモリ部から電極ドライブ期間にデータを読み出すためのアドレスを発生する読み出しアドレス発生部と、前記ラインメモリ部から読み出された映像データのうち何れか1色のデータを切替選択し、出力するデータ切替部と、複数の記憶素子が前記データ切替部の出力データラインに対し各々並列接続されることにより構成され、前記データ切替部で選択されたデータを各々記憶する第1表示メモリ部と、前記第1表示メモリ部と同数の記憶素子で構成され、前記第1表示メモリ部の全記憶素子にデータを記憶完了後、その各出力データを変調ドライブ処理するために再記憶する第2表示メモリ部とを備えた直列並列変換回路。

【請求項3】 入力されるRGBデータ列を順次記憶し、1ワードが複数の同一色データで構成されるデータ列に変換して出力するデータ変換部と、複数のランダムアクセスメモリにより構成され前記データ変換部からのデータを1水平期間書き込み、書き込み完了後次の水平期間に読み出しを行い、1水平期間毎に書き込み、読み出し動作を繰り返すラインメモリ部と、前記ラインメモリ部からドライブ停止期間にデータを読み出すためのアドレスを発生する読み出しアドレス発生部と、複数の記憶素子が前記ラインメモリ部の出力データラインに対し各々並列接続されることにより構成され、前記ラインメモリ部からの読み出しデータを変調ドライブ処理するために記憶する表示メモリ部とにより構成された直列並列変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマトリクス駆動方式による映像表示装置の電極駆動回路に使用される直列並列変換回路に関するものである。

【0002】

【従来の技術】近年薄型ディスプレイはマトリクス駆動方式が一般的となり、その駆動ブロックは低コスト、小型化、低消費電力化等をめざしたLSI化が進んでいる。

【0003】以下にマトリクス駆動方式映像表示装置の

電極駆動回路に用いられる従来の直列並列変換回路の説明に先立ち、マトリクス駆動方式映像表示装置の一例について図8、図9を用いて説明する。図8は駆動装置のブロック図、図9(a)は表示パネル、(b)は各電極のタイミング図である。

【0004】入力されたRGB映像信号は、A/D変換回路20で逐次デジタルデータに変換され、直列並列変換回路21は逐次送られてくるデータを1水平期間分蓄積し、電極数分の並列データとして出力する。並列出力されたデータは変調ドライブ回路22によって表示パネル23の電極をドライブするのである。

【0005】表示パネル23は、1電極で複色色をドライブするものであり、図9のように1つの電極で1水平期間にR、G、Bの3色2ドット分を時分割ドライブする。つまり、ある時刻において各電極は同一色を同時にドライブ（すなわち第1電極がR1をドライブしている時、第2電極はR3を第n電極はR2n-1をドライブ）する。このように、1水平期間で各電極が各々6色をドライブすることにより画像表示を行うものである。

【0006】上述したマトリクス駆動方式映像表示装置に用いられる従来の直列並列変換回路について図10を参照しながら説明する。

【0007】図10において、31は第1ラインメモリ部で、複数のフリップフロップ群で構成され、RGBデータを1水平期間順次蓄積するものである。30はラッチパルス発生部で、水平同期信号を初期化信号として、第1ラインメモリ部31の個々のフリップフロップ群に対するラッチパルスを発生するものである。33は第2ラインメモリ部で、第1ラインメモリ部31と同数のフリップフロップで構成され、第1ラインメモリ部31の出力データを水平同期信号により転送、ラッチするものである。34はスイッチング部で、複数の6入力1出力セレクト(34a~34n)で構成され、第2ラインメモリ部33からの各出力データ(R、G、B、R、G、B)群の内1色のデータを切替選択するものである。35は切替信号発生部で、水平同期信号を初期化信号として、スイッチング部34への切替信号を発生するものである。

【0008】次に、上記構成による動作を図8、図9、図10を用いて説明する。A/D変換回路20より転送されたRGBデータは、ラッチパルス発生部30において、A/D変換回路20からの転送タイミングと水平同期信号により発生されたラッチパルス30a~30nによって、第1ラインメモリ部31に1水平期間分のデータが順次書き込まれる。第1ラインメモリ部31に書き込まれたデータは、第1ラインメモリ部31の全フリップフロップへの書き込みが終了した後、次の水平同期信号によって一斉に第2ラインメモリ部33へ転送され、記憶される。第2ラインメモリ部33に記憶されたデータはスイッチング部34により各々R、G、B、R、

G、Bが順次切替信号発生部35からの切り替え信号によって切り替えられ、次段の変調ドライブ回路22へ出力されるのである。このようにして、1水平期間に第1電極～第n電極で各々R、G、B、R、G、Bの6色が同時に時分割ドライブされるのである。

【0009】

【発明が解決しようとする課題】このように、従来の直列並列変換回路では、構成要素が1水平期間分のフリップフロップで構成された第1ラインメモリ部31及び第2ラインメモリ部33と、電極数分の6入力1出力セクタ群のスイッチング部34であるため、回路規模が大きくコストが高いという課題があった。例えばRGB各8ビットの1ライン640ドットフルカラー表示を行う場合にはフリップフロップだけで10万ゲートを大きく越えるゲート規模となるのである。

【0010】本発明の直列並列変換回路は上記従来の課題に鑑み、回路の集積化及び規模の削減を行い、大幅なコストダウンを可能とするものである。

【0011】

【課題を解決するための手段】上記課題を解決するため、RGB画像信号を1水平期間記憶する複数のシフトレジスタで構成された第1のラインメモリ部と、前記ラインメモリ部が1水平期間分の信号を記憶完了後、次の水平期間までに転送、記憶する、第1のラインメモリ部と同数のシフトレジスタで構成される第2のラインメモリ部により構成されたことを特徴とする。

【0012】また本発明の直列変換回路は、複数のRAMにより構成され、映像データを1水平期間順次書き込み、書き込み完了後次の水平期間に読み出しを行う、1つのアドレスに1画素分のRGB信号を記憶する複数のRAMにより構成され、1水平期間ごとに書き込み、読み出し動作を繰り返すラインメモリ部と、前記ラインメモリ部から読み出された映像データのうち何れか1色のデータを切替選択し、出力するデータ切替部と、フリップフロップ等からなる複数の記憶素子が前記データ切替部の出力データラインに対し、各々並列接続されることにより構成され、前記データ切替部で選択されたデータを各々記憶する第1表示メモリ部と、前記第1表示メモリ部と同数の記憶素子で構成され、前記第1表示メモリ部の全記憶素子にデータを記憶完了後、その各出力データを変調ドライブ処理するために再記憶する第2表示メモリ部とにより構成されたことを特徴とする。

【0013】また本発明の直列変換回路は、シフトレジスタ等により構成され、入力されるRGBデータ列を順次記憶し、1ワードが複数の同一色データで構成されるデータ列に変換して出力するデータ変換部と、複数のRAMにより構成され前記データ変換部からのデータを1水平期間書き込み、書き込み完了後次の水平期間に読み出しを行い、1水平期間毎に書き込み、読み出し動作を繰り返すラインメモリ部と、フリップフロップ等からな

る複数の記憶素子が前記ラインメモリ部の出力データラインに対し各々並列接続されることにより構成され、前記ラインメモリ部からの読み出しデータを変調ドライブ処理するために記憶する表示メモリ部とにより構成されたことを特徴とする。

【0014】

【作用】本発明の直列並列変換回路は従来フリップフロップにより構成されていたラインメモリ部をシフトレジスタの構成にすることにより、スイッチング部を削減することができ、回路規模を削減することが可能となりコストダウンを行うことができるのである。

【0015】また本発明の直列並列変換回路は、従来フリップフロップにより構成されていたラインメモリ部をRAMに置き換えることにより回路の集積化が行え、また、従来1水平期間分のフリップフロップにより構成されていた第2ラインメモリ部と電極数分のスイッチング回路で構成していたスイッチング部を電極数分のフリップフロップ群2つにすることで回路規模を削減することが可能となり大幅なコストダウンが可能となるのである。

【0016】また本発明の直列並列変換回路は、従来フリップフロップにより構成されていたラインメモリ部をRAMに置き換えることにより回路の集積化が行え、また、従来1水平期間分のフリップフロップにより構成されていた第2ラインメモリ部と電極数分のスイッチング回路で構成していたスイッチング部を電極数分のフリップフロップ群1つにすることで回路規模を削減することが可能となり大幅なコストダウンが可能となるのである。

【0017】

【実施例】

(実施例1)以下本発明の直列並列変換回路の第1の実施例について図1、図8、図9を参照しながら説明する。

【0018】図1において40は、データ変換部で、全段のA/D変換部より転送されたRGBデータをR1、G1、B1、R2、G2、B2...というように直列データに変換し、出力するものである。43は、第1ラインメモリ部で、6段(1電極でR、G、B、R、G、Bの6色をドライブ)のシフトレジスタを電極数分直列接続し、各6段目より出力を取り出せるシフトレジスタ群で構成され、RGBデータを1水平期間順次記憶するのである。

【0019】41は、第1シフトパルス発生部で、水平同期信号をもとに第1ラインメモリ部43のシフトパルスを出力するものである。44は、第2ラインメモリ部で、6段のシフトレジスタ群により構成され、第1ラインメモリ部43からの各出力をそのシフトレジスタ群の各入力とし、出力は各電極に対応する変調ドライブ回路22へ接続することにより第1ラインメモリ部43の全

データを表示用に待避するものである。42は、第2シフトパルス発生部で、第2ラインメモリ部44へのシフトパルスを水平同期信号をもとに発生するものである。

【0020】次に上記に示した構成による動作を図1、図2、図8、図9を参照しながら説明する。

【0021】前段のA/D変換回路20から転送されたRGBデータはデータ変換部40を介しR1、G1、B1、R2、G2、B2、...の直列データに変換され、順次、第1シフトパルス発生部41からのシフトパルスによって第1ラインメモリ部43に記憶されていく。第1ラインメモリ部43の全てのシフトレジスタに1水平期間のデータが記憶された後、次の水平期間までの間に第1シフトパルス発生部41と第2シフトパルス発生部42から6つのシフトパルスが発生され(図2のA部)、第1ラインメモリ部43から順次第2ラインメモリ部44へ転送される。すなわち、第1ラインメモリ部43に記憶されたR1、G1、B1、R2、G2、B2のデータが43aの出力から第2ラインメモリ部44に順次転送され、記憶される。また、同様にR2n-1、G2n-1、B2n-1、R2n、G2n、B2nのデータが43nの出力から第2ラインメモリ部44に順次転送され、全ての第1ラインメモリ部43に記憶されたデータは第2ラインメモリ部44に転送され、記憶されるのである。

【0022】次の水平期間では、上記と同様に第1ラインメモリ部43には順次RGBデータが記憶され、第2ラインメモリ部44は第2シフトパルス発生部42よりシフトパルス(図2のB部)が発生され、第2ラインメモリ部44に記憶されているRGBデータが順次R、G、B、R、G、Bの順に各電極に対応する変調ドライブ回路へ出力され、1水平期間に第1電極～第n電極で各々R、G、B、R、G、Bの2ドット6色が同時に時分割ドライブされるのである。

【0023】上記のように本発明の直列並列変換回路は1つの電極が1水平期間に複数ドット、複数色(上記の例では2ドット6色)を時分割ドライブすることに着目し、第1ラインメモリ部43と第2ラインメモリ部44をシフトレジスタの構成にし、第1ラインメモリ部43から第2ラインメモリ部44への転送を6つのシフトパルスで行うことによって、従来必要であったスイッチング回路を削除することができ、回路規模の削減が可能となり、コストダウンを行うことができるものである。

【0024】(実施例2)次に、本発明の直列並列変換回路の第2の実施例について図3、図4、図8、図9を参照しながら説明する。

【0025】図3において1はラインメモリ部で、RGBデータを1水平期間順次記憶し、記憶完了後次の水平期間に読み出し状態となる第1RAM2と、第1RAM2と同様の動作をし、第1RAM2が書き込み状態の時は読み出し状態に、読み出し状態の時は書き込み状態と

なる第2RAM3により構成され、両RAMとも1水平期間毎に書き込み、読み出し動作を繰り返すものである。

【0026】4は書き込みアドレス発生部でカウンタ等により構成され、転送クロックから、第1RAM2及び第2RAM3の書き込みアドレスを発生するものである。5は読み出しアドレス発生部で、カウンタ等で構成され、電極表示タイミング信号の表示期間に第1RAM2及び第2RAM3の読み出しアドレスを発生するものである。6は第1アドレス切替部で、書き込みアドレス発生部4からのアドレスと読み出しアドレス発生部5からアドレスを切り替え、第1RAM2のアドレスを出力するものである。7は第2アドレス切替部で、書き込みアドレス発生部4からのアドレスと読み出しアドレス発生部5からアドレスを切り替え、第2RAM3のアドレスを出力するものである。

【0027】8はアドレス切り替え信号発生部で、水平同期信号により第1アドレス切り替え部6及び第2アドレス切り替え部7への切り替え信号を発生するものである。9はデータ切替部で、ラインメモリ部1より読み出されたRGBデータのうち実際に時分割ドライブする色データのみを選択し出力するものである。10はデータ切替信号発生部で読み出しアドレス発生部5のアドレスデータによりデータ切替部9への切替信号を発生するものである。11は第1表示メモリ部で電極数分のフリップフロップで構成され、データ切替部9により選択されたデータをラッチ記憶するものである。

【0028】12はラッチパルス発生部で、読みだしアドレス発生部5の読みだしアドレスによって第1表示メモリ部11のラッチパルス12a～12nを発生するものである。13は第2表示メモリ部で、電極数分のフリップフロップで構成され、第1表示メモリ部11からの出力データ11a～11nを、変調ドライブ回路22へ出力するために一時記憶するものである。14は転送パルス発生部で、第1表示メモリ部11のすべてのフリップフロップへ記憶が完了した後、第2表示メモリ部13へデータを転送するためのパルスを電極表示タイミング信号により発生するものである。

【0029】次に上記構成による動作を説明する。A/D変換回路20から転送された1水平期間分のRGBデータは書き込みアドレス発生部4により、A/D変換回路20からの転送クロックに合わせて発生されたアドレスデータが第1アドレス切替部6を介し、第1RAM2に供給されることにより第1RAM2に順次書き込まれる。1水平期間分の書き込みが完了するとアドレス切替信号発生部8からの信号により第1RAM2は読みだし状態に、第2RAM3は書き込み状態となり、次の水平期間には、第2RAM3により上記と同様の書き込み動作が繰り返される。

【0030】一方、読みだし状態となった第1RAM2

は、読みだしアドレス発生部5により発生されたアドレスによりRGBデータが順次読み出される。最初に読み出されたR1、G1、B1データはデータ切替信号発生部10からの信号によりデータ切替部9においてR1データのみが選択され、ラッチパルス発生部12からのラッチパルス12aにより第1表示メモリ部11のフリップフロップ11Aに記憶される。第1RAM2から2番目に読み出されたR3、G3、B3データも同様にR3のみが選択され、ラッチパルス12bによりフリップフロップ11Bに記憶される。

【0031】以下同様にN番目に読み出されたデータR2n-1、G2n-1、B2n-1はR2n-1データがラッチパルス12nによりフリップフロップ11Nに記憶されるのである。R1、R3、...、R2n-1の各データが第1表示メモリ部11のすべてのフリップフロップに記憶完了後、転送パルス発生部14からの転送パルス(図4のC部)により第1表示メモリ部11のデータがすべて第2表示メモリ部13へ転送、記憶される。つまり、11Aのフリップフロップのデータ11aは、13Aのフリップフロップに、11Nのデータ11nは、13Nへ転送、記憶されるのである。

【0032】第2表示メモリ部13の出力13a、13b、...、13nは後段の変調ドライブ回路22に入力されることにより表示パネル23においてR1、R3、...、R2n-1が同時にドライブされるのである(図4の<1>の状態)。

【0033】R1、R3、...、R2n-1のデータが第2表示メモリ部13に転送された後はラインメモリ部1から読み出されたR1、G1、B1データはデータ切替部9によりG1データのみが選択されラッチパルス12aにより第1表示メモリ部11のフリップフロップ11Aに記憶される。以降、上記動作が繰り返され、G1、G3、...、G2n-1の各データが第1表示メモリ部11のフリップフロップすべてに記憶完了後転送パルス(図4のD部)により第2表示メモリ部13へ転送され表示パネル23においてG1、G3、...、G2n-1がドライブされるのである(図4の<2>の状態)。

【0034】以上のような動作がR、G、Bで繰り返され、1水平期間に第1電極〜第n電極で各々R、G、B、R、G、Bの2ドット6色が順次、同時に時分割ドライブされるのである。

【0035】上記のように本発明の直列並列変換回路は1つの電極が1水平期間に複数ドット、複数色(上記例では2ドット6色)を時分割ドライブすることに着目し、一つの色データを変調ドライブ(表示)中に次にドライブする色データを読み出すようにしたことで、従来2水平期間分のフリップフロップで構成していた直列並列変換回路をRAMと電極数分のフリップフロップ2段で構成できるようになり、回路の集積化及び規模の削減

が可能となり従来比約50%の大幅なコストダウンを行うことができるものである。

【0036】(実施例3)次に本発明の直列並列変換回路の第3の実施例について、図5、図6、図7、図8、図9を参照しながら説明する。なお、前記第2の実施例と同様のものは同一番号を付与し説明を省略する。

【0037】15は、データ変換部で、シフトレジスタ等により構成され、A/D変換回路20により転送されるRGBデータ列(図6の15a)をその転送クロックにより順次記憶し1ワードが3ドット分の同一色データで構成されるデータ列(図6の15b)に変換してラインメモリ部1の第1RAM2または第2RAM3へ書き込むものである。

【0038】16は読み出しアドレス発生部で、カウンタ等で構成され、電極表示タイミング信号の表示ブランキング期間(ドライブ停止期間)に第1RAM2、第2RAM3の読み出しアドレスを発生するものである。17は表示メモリ部で、電極数分のフリップフロップで構成され、ラインメモリ部1より読み出されたデータを変調ドライブ回路22へ出力するために順次ラッチ記憶するものである。18はラッチパルス発生部で、読み出しアドレス発生部16の読み出しアドレスによって表示メモリ部のラッチパルス(18a、18b、...、18n)を発生するものである。

【0039】次に上記構成による動作を説明する。A/D変換回路20により転送されたRGBデータ列(図6の15a)はデータ変換部15により1ワードが3ドット分の同一色データで構成されるデータ列(図6の15b)に変換され順次第1RAM2に書き込まれる。1水平期間分のデータの書き込みが完了すると次の水平期間では第2RAM3が同様の書き込みモードとなり第1RAM2は読み出しモードとなる。以降上記の動作が1水平期間毎に繰り返されるのである。

【0040】読み出しモードの動作は、電極表示タイミング信号の表示ブランキング期間(図7の斜線部)に読み出しアドレス発生部16により発生されたアドレスによりラインメモリ部1よりデータが順次読み出される。最初に読み出されたR1、R3、R5データはラッチパルス発生部18からのラッチパルス18aにより表示メモリ部17のフリップフロップ17Aに記憶される。2番目に読み出されたR7、R9、R11データも同様にラッチパルス18bにより表示メモリ部17のフリップフロップ17Bに記憶される。以下同様にして表示ブランキング期間(図7のA部)に表示メモリ部17のすべてのフリップフロップにRデータを読み出し、記憶されるとその出力17a、17b、...、17nは後段の変調ドライブ回路22に入力され、表示パネル23においてR1、R3、...、R2n-1が同時ドライブ(図7のB部)されるのである。

【0041】Rデータが表示完了後次の表示ブランキン

グ期間(図7のC部)は上記と同様にG1, G3, ..., G_{2n-1}が読み出され、表示期間(図7のD部)にGデータが表示される。以上のような動作がR, G, Bで繰り返されて1水平期間に第1電極から第n電極で各々, R, G, B, R, G, B, の2ドット6色が時分割ドライブされるのである。

【0042】上記のように本発明の直列並列変換装置は電極表示のブランキング期間に次の表示データを読み出すようにしたことによって従来2水平期間分のフリップフロップで構成していた直列並列変換回路をRAMと電極数分のフリップフロップ1段で構成できるようになり回路の集積化及び規模の削減が可能となりさらなるコストダウンを行うことができるものである。

【0043】

【発明の効果】以上のように本発明の直列並列変換回路は1水平期間分のフリップフロップ2段での構成を可能にするもので、回路規模の削減が可能となりコストダウンを行うことができるという効果を有する。

【0044】また本発明の直列並列変換回路はRAMと電極数分のフリップフロップ2段での構成を可能とするもので、回路の集積化及び規模の削減が可能となり大幅なコストダウンを行うことができるという効果を有する。

【0045】さらに本発明の直列並列変換回路はRAMと電極数分のフリップフロップ1段での構成を可能にするもので、さらなる回路規模の削減が可能となり、さらなるコストダウンを行うことができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の発明の一実施例における直列並列変換回路のブロック図

【図2】同直列並列変換回路のタイミングチャートを示す図

す図

【図3】本発明の第2の発明の一実施例における直列並列変換回路のブロック図

【図4】同実施例における直列並列変換回路のタイミングチャートを示す図

【図5】本発明の第3の発明の一実施例における直列並列変換回路のブロック図

【図6】同直列並列変換回路の書き込み時のタイミングチャートを示す図

【図7】同直列並列変換回路の読み出し時のタイミングチャートを示す図

【図8】マトリクス駆動方式映像表示装置の電極駆動回路の一例を示すブロック図

【図9】(a) マトリクス駆動方式映像表示装置の表示パネルの一部を示す図

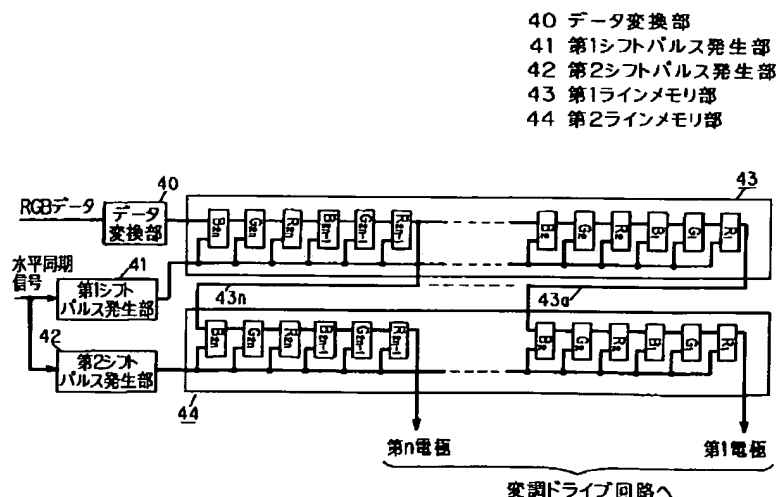
(b) マトリクス駆動方式映像表示装置の電極の表示タイミングを示す図

【図10】従来例における直列並列変換回路の構成を示すブロック図

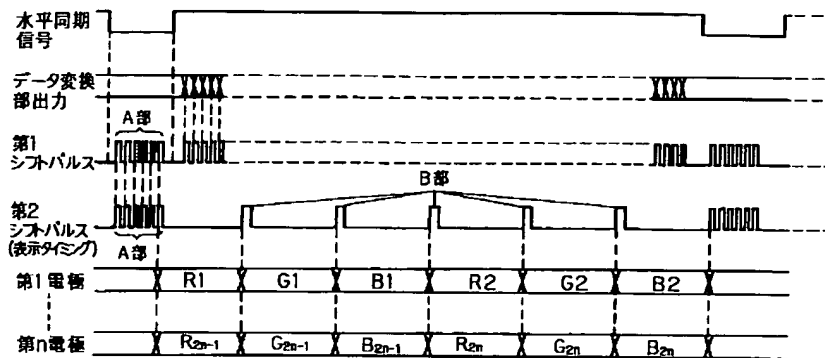
【符号の説明】

- 1 ラインメモリ部
- 2 第1 RAM
- 3 第2 RAM
- 5 読み出しアドレス発生部
- 9 データ切替部
- 11 第1表示メモリ部
- 13 第2表示メモリ部
- 16 読み出しアドレス発生部
- 17 表示メモリ部
- 43 第1ラインメモリ部
- 44 第2ラインメモリ部

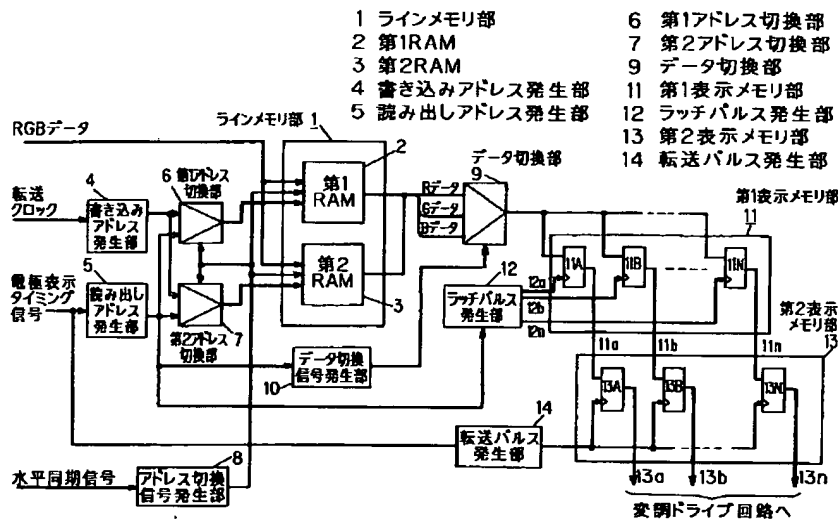
【図1】



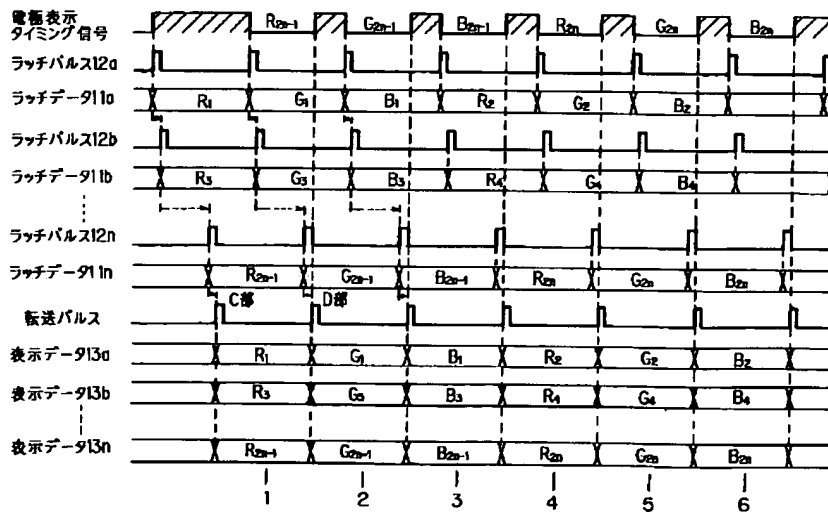
【図2】



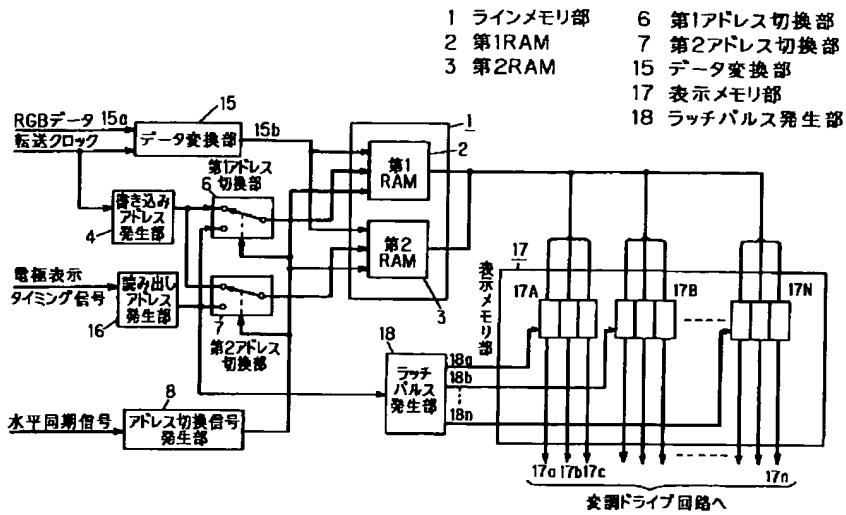
【図3】



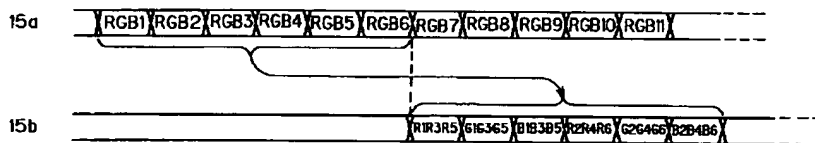
【図4】



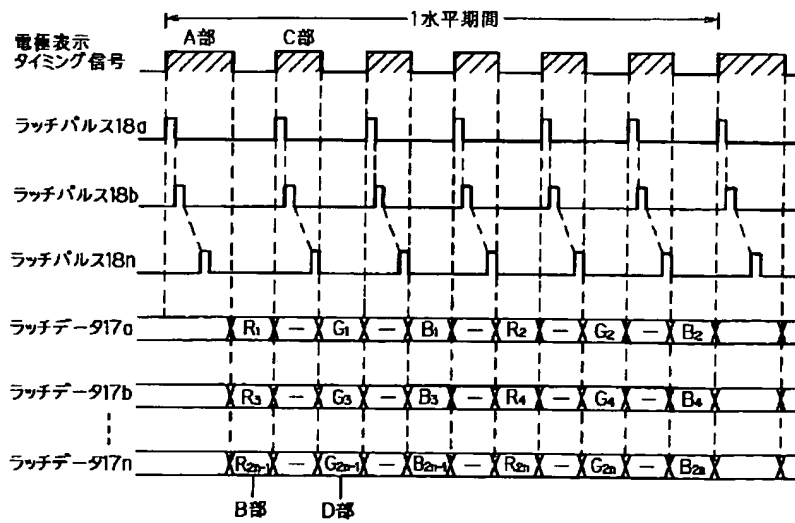
【図5】



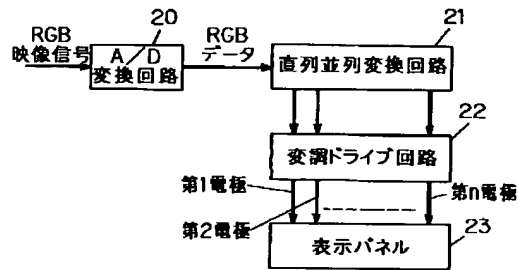
【図6】



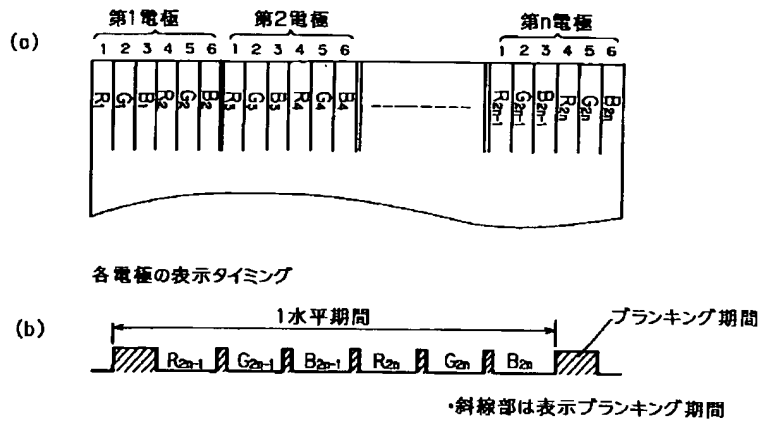
【図7】



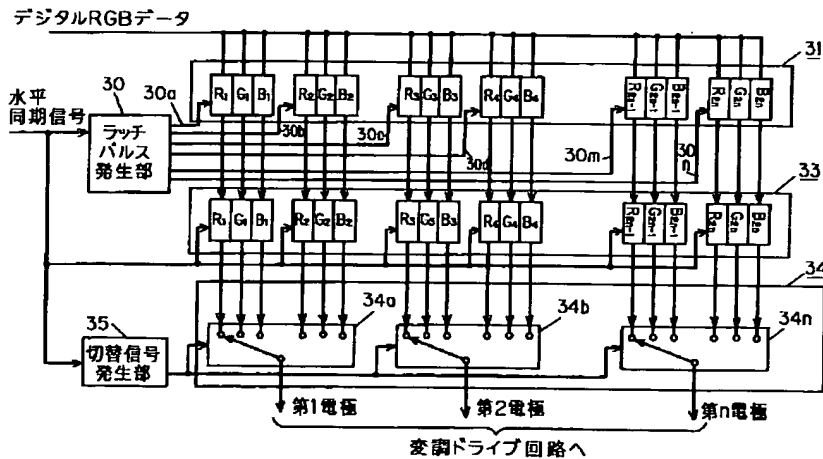
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 田中 和人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 三輪 哲司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 益盛 忠行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内